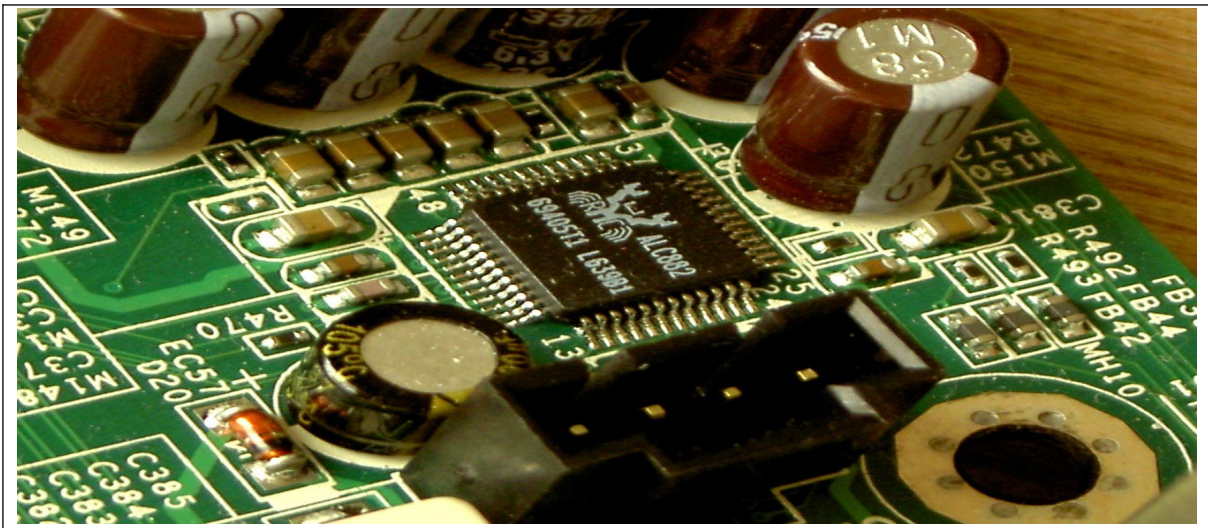


ΣΧΟΛΗ ΜΗΧΑΝΙΚΩΝ  
ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ  
ΚΑΙ ΗΛΕΚΤΡΟΝΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

ΕΡΓΑΣΙΑ ΣΤΟ ΜΑΘΗΜΑ ΤΗΣ ΟΡΓΑΝΩΣΗΣ &  
ΑΡΧΙΤΕΚΤΟΝΙΚΗΣ ΥΠΟΛΟΓΙΣΤΩΝ

«Η ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΗΧΟΥ ΥΨΗΛΗΣ  
ΕΥΚΡΙΝΕΙΑΣ ΤΗΣ INTEL ΚΑΙ Η ΨΗΦΙΑΚΗ  
ΚΩΔΙΚΟΠΟΙΗΣΗ ΕΝΟΣ ΗΧΗΤΙΚΟΥ ΣΗΜΑΤΟΣ»



Του φοιτητή  
Στυλιανού Χρήστου Στεφανή  
Αρ. Μητρώου: 2024119

Επιβλέπων  
Κοκκώνης Γεώργιος

Ημερομηνία 18-5-2026

# Περιεχόμενα

Περιεχόμενα.....	2
Συντομογραφίες.....	3
Εικόνες.....	3
Πίνακες.....	3
Πρόλογος.....	4
Κεφάλαιο 1ο: Βασικές Αρχές Ψηφιακής Επεξεργασίας Σήματος.....	5
1.1 Εισαγωγή.....	5
1.2 Δειγματοληψία.....	5
1.3 Κβάντιση.....	6
1.4 PCM Κωδικοποίηση.....	7
Κεφάλαιο 2ο: Η αρχιτεκτονική High Definition Audio: Codecs, Controller & πρωτόκολλο επικοινωνίας.....	8
2.1 Ο ορισμός και η λειτουργία ενός Codec ήχου.....	8
2.2 Η αρχιτεκτονική High Definition Audio (HDA).....	8
2.2.1 Το πρότυπο AC'97 (Audio Codec '97).....	8
2.2.2 Η μετάβαση από το AC'97 στο HDA.....	9
2.3 Το HDA Controller.....	9
2.4 Ο δίαυλος επικοινωνίας HDA Link & δομή πλαισίων.....	10
2.4.1 Σήματα εξόδου SDO & Outbound Frames.....	11
2.4.2 Σήματα εισόδου SDI & Inbound Frames.....	12
2.5 Υποστήριξη πολλαπλών ρυθμών δειγματοληψίας από το HDA Link.....	13
Κεφάλαιο 3ο: Δομές δεδομένων & διαχείριση μνήμης για την υποστήριξη streams.....	14
3.1 Εισαγωγή.....	14
3.2 Δομές δεδομών στην μνήμη για υποστήριξη streams.....	14
3.2.1 Buffer Descriptor List.....	14
3.2.2 DMA Position in Current Buffer.....	15
3.2.3 Command Output Ring Buffer & Response Input Ring Buffer.....	15
3.3 Οι θεμελιώδεις καταχωρητές του HDA Controller.....	15
3.4 Η λειτουργία του CORB: Αποστολή εντολών.....	16
3.5 Η λειτουργία του RIRB: Λήψη απαντήσεων.....	18
3.6 Διαχείριση και εκκίνηση ενός stream.....	19
ΒΙΒΛΙΟΓΡΑΦΙΑ.....	20
ΠΑΡΑΡΤΗΜΑ.....	21

## Συντομογραφίες

HDA	High Definition Audio
CORB	Command Output Ring Buffer
RIRB	Response Input Ring Buffer
RP	Read Pointer
WP	Write Pointer
AC'97	Audio Codec '97
PCM	Pulse Code Modulation
DMA	Direct Memory Access
SDI	Serial Data In
SDO	Serial Data Out
BDL	Buffer Descriptor List
BDLE	Buffer Descriptor List Entry
DPIB	DMA Position In Buffer

## Εικόνες

Εικόνα 1.1: Η δειγματοληψία και κβάντιση ενός σήματος

Εικόνα 1.2: Η PCM κωδικοποίηση ενός σήματος

Εικόνα 2.1: Σχηματική απεικόνιση της αρχιτεκτονικής HDA και της σύνδεσης των υποσυστημάτων

Εικόνα 2.2: Τα περιεχόμενα ενός Frame

Εικόνα 2.3: Τα περιεχόμενα ενός SDO Stream

Εικόνα 2.4: Ένα σήμα εισόδου, χωριζόμενο σε δύο substreams, που μεταδίδεται από δύο SDI γραμμές

Εικόνα 3.1: Εγγραφή και ανάγνωση εντολών από το CORB

Εικόνα A.1: Συνδεσμολογία πολλών codecs με το controller

Εικόνα A.2: Η λειτουργία του CORB

## Πίνακες

Πίνακας 2.1: Καταχωρητές που χρησιμοποιούνται από το CORB

Πίνακας A.1: Τα βασικά χαρακτηριστικά του ALC892

Πίνακας A.2: Πολλαπλάσιες & υποπολλαπλάσιες συχνότητες των 44.1 kHz & 48 kHz

Πίνακας A.3: Ακολουθία δειγμάτων για ροές με συχνότητα πολλαπλάσια & υποπολλαπλάσια των 44.1 kHz

## Πρόλογος

Από μικρό, η μουσική αποτελούσε ένα αναπόσπαστο κομμάτι της ζωής μου. Πέρασα τα εφηβικά μου χρόνια ακούγοντας στην προοδευτική και ψυχεδελική Ροκ σκηνής του προηγούμενου αιώνα. Οι Pink Floyd, Radiohead, Rush, Doors και Alan Parsons Project με κρατάνε πάντα συντροφιά σε κάθε ώρα της καθημερινότητάς μου, ακόμη και τώρα στο πανεπιστήμιο. Οπότε, όταν μας παρουσιάστηκε η επιλογή μιας προαιρετικής εργασίας με ελεύθερο θέμα στο μάθημα της Οργάνωσης και Αρχιτεκτονικής Υπολογιστών, δεν χρειάστηκε πολύς χρόνος για να αποφασίσω σε ένα θέμα. Μετά από συνεννόηση με τον καθηγητή μου αποφασίσαμε να περιγράψω περιληπτικά το μουσικό σύστημα των σύγχρονων υπολογιστών, πως δηλαδή ένας υπολογιστής επεξεργάζεται ένα ηχητικό σήμα, μιας και αποτελούν ένα από τα κύρια μέσα αναπαραγωγής και ηχογράφησης μουσικής στον 21ο αιώνα. Μέσω της εργασίας, μελέτησα την θεμελιώδη αρχιτεκτονική ενός συστήματος αναπαραγωγής και ηχογράφησης ήχου, ενώ παράλληλα ήρθα σε κοντινότερη επαφή και απέκτησα περισσότερες γνώσεις αναφορικά με την συγγραφή ενός τεχνικού κειμένου καθώς και την έρευνα που απαιτείται για την συγγραφή του. Ένας ακόμη λόγος που επέλεξα αυτό το θέμα, ήταν επειδή μου δινόταν η ευκαιρία να αναφερθώ, έστω και σύντομα, στις αρχές της ψηφιακής επεξεργασίας σήματος, ένας τομέας που σκέφτομαι να εμβαθύνω περισσότερο στην διάρκεια των σπουδών μου.

# Κεφάλαιο 1ο: Βασικές Αρχές Ψηφιακής Επεξεργασίας Σήματος

## 1.1 Εισαγωγή

Το 2004 η Intel κυκλοφόρησε την αρχιτεκτονική Ήχου Υψηλής Ευκρίνειας, HDA, ένα καινούριο πρότυπο για τον σχεδιασμό μίας υποδομής ήχου υψηλής ποιότητας σε ένα υπολογιστικό σύστημα. Το HDA αντικατέστησε το AC'97, που ήταν το παλαιότερο σύστημα ήχου της Intel για υπολογιστές, προσφέροντας περισσότερες δυνατότητες και υποστηρίζοντας σύγχρονες τεχνολογίες ήχου. Το σύστημα αυτής της αρχιτεκτονικής αποτελείται από ένα ή πολλαπλά codecs, συσκευές που κωδικοποιούν ένα αναλογικό σήμα σε μία δυαδική ροή ή αποκωδικοποιούν ένα ψηφιακό σήμα σε μία αναλογική κυματομορφή, και έναν ελεγκτή, μια συσκευή E/E υπεύθυνη για την μεταφορά δεδομένων μεταξύ της κεντρικής μνήμης και των κωδικοποιητών. Η εργασία αυτή στοχεύει στην συνοπτική παρουσίαση της HDA αρχιτεκτονικής, ξεκινώντας από τις θεμελιώδεις αρχές της ψηφιακής επεξεργασίας σημάτων που απαιτούνται για την ψηφιακή κωδικοποίηση μίας αναλογικής εισόδου ήχου σε δυαδικά δεδομένα. Στην συνέχεια, δίνεται έμφαση στα υποσυστήματα που απαρτίζουν την αρχιτεκτονική, εξηγώντας τις λειτουργίες του ελεγκτή, των codecs και την αναμεταξύ τους επικοινωνία μέσω ενός ειδικού διαύλου. Έπειτα, παρουσιάζονται οι απαραίτητες δομές δεδομένων που δημιουργούνται στην μνήμη για την αλληλεπίδρασή της με τους κωδικοποιητές και την μεταφορά δεδομένων. Στο παράρτημα εντοπίζονται επιπλέον πίνακες και εικόνες που περιγράφουν τα χαρακτηριστικά και την λειτουργία ορισμένων υποσυστημάτων του HDA.

## 1.2 Δειγματοληψία

Ένα ηλεκτρικό σήμα ήχου είναι ένα αναλογικό μέγεθος, δηλαδή αποτελείται από άπειρες χρονικές στιγμές, όπου σε κάθε μία από αυτές το σήμα μπορεί να λάβει άπειρα διαφορετικά πλάτη [1]. Για παράδειγμα, μια βελόνα πιάζει συνεχόμενα ένα περιστρεφόμενο βινύλιο δίχως να σταματήσει, παρά μόνο όταν φτάσει στο τέλος του δίσκου. Τα ηχητικά σήματα που στέλνει ένα πικάπ στον ενισχυτή ήχου μπορούν να πάρουν οποιαδήποτε τιμή ανάμεσα στο εύρος των 0, έως 6 mV. Δεδομένου πως ο αποθηκευτικός χώρος που μπορεί να διατεθεί για ένα μουσικό αρχείο είναι πεπερασμένος, δεν μπορούμε να καταγράψουμε αυτές τις άπειρες τιμές.

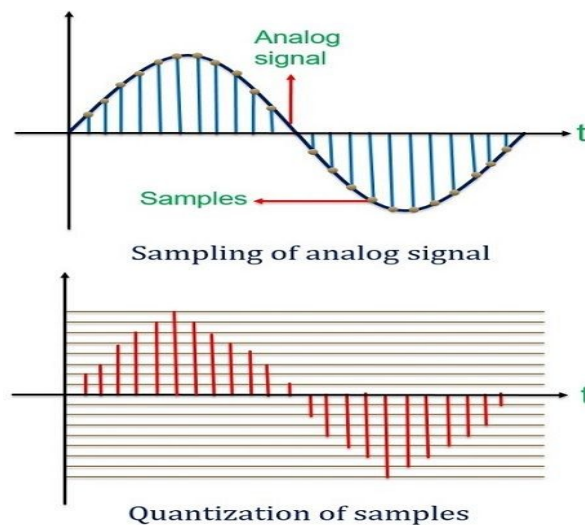
Με την δειγματοληψία, ένα σήμα συνεχούς χρόνου μετατρέπεται σε ένα σήμα διακριτού χρόνου, λαμβάνοντας το πλάτος του σε ισαπέχουσες χρονικές στιγμές και παράγοντας έτσι μια ακολουθία τιμών. Ο κάθε όρος της ακολουθίας αντιπροσωπεύει την τιμή του σήματος όταν λήφθηκε το δείγμα και μπορεί να πάρει οποιαδήποτε τιμή σε ένα διάστημα, αντιπροσωπεύει το πλάτος του σήματος για τις μετρούμενες χρονικές στιγμές [2]. Είναι κρίσιμο ο ρυθμός που λαμβάνονται τα δείγματα να είναι σταθερός, αφού σύμφωνα με το θεώρημα των Nyquist και Shannon, έχει αποδειχθεί πως η δειγματοληψία ενός σήματος δεν προκαλεί σφάλματα εφόσον ο ρυθμός που πραγματοποιείται η δειγματοληψία να είναι τουλάχιστον διπλάσιος από την μέγιστη συχνότητα του αρχικού σήματος. Όταν τηρείται αυτή η θεμελιώδης προϋπόθεση, η αντικατάσταση ενός σήματος με μια σειρά διακριτών δειγμάτων και η αποκατάστασή του αρχικού σήματος από την ίδια σειρά δειγμάτων χωρίς παραμόρφωση, είναι απολύτως εφικτή [1][2].

Συνηθίζεται πριν από την δειγματοληψία το σήμα να διέρχεται πρώτα από ένα χαμηλοπερατό φίλτρο, προκειμένου να αποσβεστούν οι υψηλές συχνότητες και να είναι βέβαιο πως τηρούνται τα κριτήρια του θεωρήματος δειγματοληψίας [1]. Ένα καλό παράδειγμα αποτελεί το μουσικό CD, όπου έχει ρυθμό δειγματοληψίας 44.1kHz. Η ανθρώπινη ακοή δεν μπορεί να ακούσει σε συχνότητες μεγαλύτερες των

20kHz, επομένως είναι άχρηστο και περιττό να τις συμπεριλάβουμε στην ψηφιοποίηση. Επειδή δεν υπάρχουν τέλεια φίλτρα, οι κατασκευαστές επέλεξαν να θέσουν τον ρυθμό δειγματοληψίας στα 44.1kHz αντί για τον ελάχιστο απαιτούμενο των 40kHz, παράγοντας πιο έμπιστα δείγματα προστατεύοντάς τα από τις ατέλειες του φίλτρου. Η υποδειγματοληψία, δηλαδή η δειγματοληψία με ρυθμό μικρότερο από τον απαιτούμενο προκαλεί το φαινόμενο aliasing, που το σήμα παραμορφώνεται και δεν είναι δυνατή η τέλεια ανακατασκευή του [1].

### 1.3 Κβάντιση

Με την δειγματοληψία, το σήμα μετατράπηκε σε χρονοδιακριτό και λήφθηκε μια ακολουθία των τιμών του τις χρονικές στιγμές της δειγματοληψίας. Αντίστοιχα λοιπόν, με την κβάντιση αντιστοιχίζονται οι τιμες της ακολουθίας, σε ένα προκαθορισμένο και πεπερασμένο πλήθος διακριτών τιμών, που ονομάζονται στάθμες. Στην διάρκεια της κβάντισης, το σύστημα συγκρίνει την τιμή του κάθε όρου της ακολουθίας με όλες τις στάθμες, και την στρογγυλοποιεί στο κοντινότερο επίπεδο [1]. Υπάρχουν δύο είδη κβάντισης, τα οποία διαφοροποιούνται με κριτήριο την απόσταση των στάθμων αναμεταξύ τους. Στην ομοιόμορφη κβάντιση, τα διαφορετικά επίπεδα ισαπέχουν μεταξύ τους, ενώ στην ανομοιόμορφη κβάντιση, τα σταθμά έχουν τοποθετηθεί σε διαφορετικές αποστάσεις, ανάλογα με την κατανομή των πλατών του σήματος [2][3]. Στον μουσικό κόσμο, εμφανίζεται συχνά ένας είδος ομοιόμορφης κβάντισης, αποκαλούμενο Linear-PCM. Αξίζει να σημειωθεί πως η κβάντιση μπορεί να πραγματοποιηθεί πριν την διαδικασία της δειγματοληψίας [2].



Εικόνα 1.1: Η δειγματοληψία και κβάντιση ενός σήματος [4].

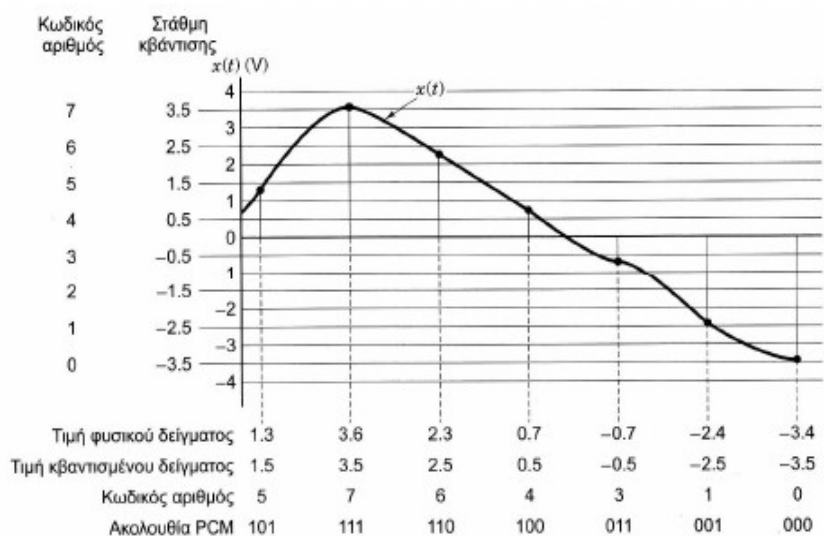
Προφανώς, επειδή με την κβάντιση επιχειρείται η αντιστοίχιση των άπειρων πλατών του σήματος σε ένα πεπερασμένο πλήθος διαφορετικών τιμών, παρουσιάζεται πάντα ένα μικρό σφάλμα κβάντισης. Αυτό το σφάλμα αναφέρεται συχνά ως θόρυβος κβάντισης και είναι άμεσα συνδεδεμένο με το πλήθος των bits που μπορούν να διατεθούν από το σύστημα για κάθε δείγμα. Όσο αυξάνεται το πλήθος των bits, αυξάνεται εκθετικά και το πλήθος των διαφορετικών επιπέδων κβάντισης, άρα το αρχικό σήμα μπορεί να αναπαρασταθεί με μεγαλύτερη λεπτομέρεια. Ένα σύστημα A που χρησιμοποιεί 4bits για κάθε δείγμα έχει αρκετά χειρότερη απόδοση από ένα σύστημα B που χρησιμοποιεί 8 bits ανά δείγμα. Αυτό συμβαίνει επειδή ένα δείγμα του συστήματος A μπορεί να πάρει μέχρι 16 διαφορετικές τιμές, ενώ το σύστημα B επιτρέπει σε ένα δείγμα να λάβει έως και 256 τιμές [2].

Επιστρέφοντας στο παράδειγμα των CD μουσικής, έχει καθιερωθεί να αφιερώνονται 16 bits ανά δείγμα, το οποίο λαμβάνετε περίπου 44.100 φορές το δευτερόλεπτο. Δηλαδή το καθένα δείγμα μπορεί να πάρει μία από 65.536 διαφορετικές τιμές. Σύγχρονα οπτικοακουστικά μέσα, όπως οι δίσκοι Blu-Ray και τα SACD χρησιμοποιούν 20 ή ακόμη και 24 bits για κάθε δείγμα, που αντιστοιχεί σε ένα πλήθος περίπου 17.6 εκατομμυρίων τιμών.

## 1.4 PCM Κωδικοποίηση

Ένα τυπικό σύστημα ψηφιακής ηχογράφησης δειγματοληπτεί το αναλογικό σήμα εισόδου, το οποίο έπειτα υφίσταται κβάντιση, με αποτέλεσμα να έχουμε μια συγκεκριμένη τιμή για κάθε δείγμα. Αυτή η τιμή να μετατραπεί σε μία μορφή που μπορεί να κατανοήσει ένας υπολογιστής ή οποιαδήποτε συσκευή ψηφιακής αναπαραγωγής και επεξεργασίας ήχου. Θα πρέπει δηλαδή να μετασχηματιστεί σε έναν δυαδικό αριθμό ή σύμβολο. Αυτή η κωδικοποίηση του ψηφιακού σήματος πραγματοποιείται με την παλμοκωδική διαμόρφωση, ή αλλιώς PCM [2][3]. Μέσω του PCM, η πια δειγματοληπτημένη και κβαντισμένη πληροφορία της εισόδου κωδικοποιείται ψηφιακά σε μία δυαδική κωδικολέξη. Αξίζει να σημειωθεί πως αφού οι δυαδικές κυματομορφές δεν έχουν κάποια φυσική υπόσταση, προκειμένου να μεταδοθούν οι PCM κωδικοί θα πρέπει πρώτα τα δυαδικά δεδομένα να μετατραπούν σε ηλεκτρικά σήματα, σε μία διαδικασία που ονομάζεται κωδικοποίηση γραμμής [3]. Έχει επικρατήσει τα ηλεκτρικά αυτά σήματα να ονομάζονται PCM κυματομορφές. Στο S/PDIF για παράδειγμα, μία ψηφιακή διασύνδεση που χρησιμοποιείται για την μετάδοση PCM κωδικοποιημένου στερεοφωνικού ήχου και που εντοπίζεται σε codecs και σε άλλο μουσικό εξοπλισμό, τα ψηφιακά δεδομένα μετατρέπονται σε ηλεκτρικά σήματα μέσω της bi-phase-mark κωδικοποίησης.

Συμπερασματικά, ένας τυπικό σύστημα κωδικοποίησης PCM για καταγραφή και αναπαραγωγή ήχου, που περιλαμβάνεται σε ένα Codec και ένα CD Player, αποτελείται από έναν ενισχυτή ήχου, χαμηλοπερατό φίλτρο, κύκλωμα δειγματοληψίας και κβάντισης και τέλος ένα κύκλωμα διαμόρφωσης παλμών [1]. Οι κύριοι στόχοι ενός PCM συστήματος είναι δύο. Η μετατροπή του αναλογικό σήματος σε ψηφιακό για επεξεργασία, αποθήκευση και μετάδοση, καθώς και η μετατροπή του ήδη ψηφιακού σήματος σε αναλογική μορφή, προκειμένου να μπορέσει να αναπαραχθεί από μέσα όπως ηχεία και ακουστικά [1].



Εικόνα 1.2: Η PCM κωδικοποίηση ενός σήματος [3].

## **Κεφάλαιο 2ο: Η αρχιτεκτονική High Definition Audio: Codecs, Controller & πρωτόκολλο επικοινωνίας**

### **2.1 Ο ορισμός και η λειτουργία ενός Codec ήχου**

Οι θεμελιώδεις αρχές της ψηφιακής επεξεργασίας σημάτων περιγράφηκαν στο προηγούμενο κεφάλαιο, αφού είναι αρκετά βοηθητικές στην κατανόηση της λειτουργίας ενός Codec. Το Codec, που είναι συντομογραφία για coder-decoder, δηλαδή κωδικοποιητής-αποκωδικοποιητής, ορίζεται ως μια συσκευή με βασικό στόχο την μετατροπή ενός αναλογικού σήματος εισόδου σε μια κωδικοποιημένη ροή ψηφιακών δεδομένων, και αντίστοιχα την μετατροπή μιας κωδικοποιημένης ροής ψηφιακών συμβόλων εισόδου πίσω σε ένα αναλογικό σήμα. Τα codecs βρίσκουν ευρύ χρήση και εκτός του κόσμου των υπολογιστών, όπως σε συστήματα τηλεπικοινωνιών. [5]

Στους Η/Υ, τα hardware audio codecs περιλαμβάνουν μεταξύ άλλων κυκλωμάτων ADC και DAC μετατροπείς. Αυτοί οι μετατροπείς χρησιμοποιούνται για την Linear PCM κωδικοποίηση αναλογικού ήχου σε ψηφιακά δεδομένα, και την αποκωδικοποίηση των ψηφιακών δεδομένων ήχου σε αναλογικά ηλεκτρικά σήματα [6]. Έχει επικρατήσει τα σύγχρονα Codecs να συμμορφώνονται με το πρότυπο ήχου υψηλής ευκρίνειας της Intel, το Intel High Definition Audio Specification. Άλλα συνηθισμένα χαρακτηριστικά των σύγχρονων κωδικοποιητών αποτελούν πολλαπλές επαναπρογραμματιζόμενες συνδέσεις για είσοδο και έξοδο αναλογικού ήχου καθώς, είσοδο/έξοδο ψηφιακού PCM κωδικοποιημένου στερεοφωνικού ήχου ή 7.1 πολυκάναλου ήχου με την μορφή S/PDIF συνδέσεων. Τα περισσότερα codecs υποστηρίζουν επίσης και δειγματοληψία στα 44.1 kHz, 48 kHz, 96 kHz έως και 192kHz με 16 bits, 20 bits μέχρι και 24 bits ανά δείγμα [7].

Για την συγκεκριμένη εργασία επέλεξα το ALC892 της Realtek σαν codec αναφοράς, επειδή υποστηρίζει το πρότυπο της Intel, είναι ευρέως διαδεδομένο και έχει χαρακτηριστικά που εμφανίζονται ως βασικός εξοπλισμός σε κάθε σύγχρονο codec. Στον πίνακα A.1 παρουσιάζονται τα βασικά χαρακτηριστικά του ALC892.

### **2.2 Η αρχιτεκτονική High Definition Audio (HDA)**

#### **2.2.1 Το πρότυπο AC'97 (Audio Codec '97)**

Το 1997, η Intel κυκλοφόρησε την Audio Codec '97, ή αλλιώς AC'97 αρχιτεκτονική ήχου για τους υπολογιστές. Υποστηριζόταν από Linux και Windows λειτουργικά συστήματα, ξεκινώντας από τα Windows 95. Χρησιμοποιήθηκε σε μητρικές πλακέτες, κάρτες ήχου υπολογιστών καθώς και σε modems. Η αρχιτεκτονική αυτή αποτελούταν από πολλαπλά codecs και έναν ελεγκτή, συχνά αναφερόμενο ως Digital Controller '97, που τυπικά συμπεριλαμβανόταν στο South Bridge της μητρικής. Τα στοιχεία αυτά συνδεόντουσαν μεταξύ τους μέσω της διεπαφής AC Link [8].

Το AC'97 θεωρούταν αρχιτεκτονική ήχου υψηλής ποιότητας, αφού μπορούσε να αναπαράγει στερεοφωνικό ήχο δειγματοληπτημένο στα 96kHz με 24 bits για κάθε δείγμα. Υποστηριζόταν επίσης και 5.1 πολυκάναλος ήχος, με δυνατότητα αναπαραγωγής και ηχογράφησης 6 καναλιών στα 48 kHz με 20 bits ανά δείγμα. Τα codecs που συμμορφώνονταν με το AC'97 πρότυπο διέθεταν πολλαπλά ADC και DAC κυκλώματα καθώς και στερεοφωνικές αναλογικές εισόδους και εξόδους. Συχνά περιλάμβαναν ειδικές εισόδους μικροφώνων, εξόδους ακουστικών με ενσωματωμένο ενισχυτή και S/PDIF συνδέσεις για πολυκάναλο ψηφιακό ήχο [8][9].

## 2.2.2 Η μετάβαση από το AC'97 στο HDA

Η αρχή του 21ου αιώνα είδε την διάδοση των DVD και της πολυκάναλης κωδικοποίησης ήχου, όπως το Dolby Digital και DTS. Τεχνολογίες που δεν υποστηριζόντουσαν από το AC'97, το οποίο ήταν αρχικά σχεδιασμένο για στερεοφωνικό ήχο. Ο υπολογιστής άρχισε να χρησιμοποιείται και στο σαλόνι ως κέντρο ψυχαγωγίας, προβολή ταινιών και αναπαραγωγή/ηχογράφηση μουσικής σε σύγχρονα συστήματα με πολλαπλά ηχεία και τηλεοράσεις υψηλής ανάλυσης. Το AC'97 αδυνατούσε και σε αυτόν τον τομέα, αφού δεν υποστήριζε την αναπαραγωγή πολλαπλών audio streams την ίδια χρονική στιγμή [10].

Με την υιοθέτηση λοιπόν των σύγχρονων πολυκάναλων συστημάτων ήχου με ακόμη μεγαλύτερη ποιότητα ήχου, φάνηκαν οι αδυναμίες του AC'97 και χρειάστηκε να αναπτυχθεί μια καινούρια αρχιτεκτονική ήχου για τους υπολογιστές. Οπότε, το 2004 η Intel κυκλοφόρησε την αρχιτεκτονική Ήχου Υψηλής Ευκρίνειας, ή αλλιώς High Definition Audio (HDA). Το HDA αναπτύχθηκε ως αντικαταστάτης του AC'97 με στόχο να προσφέρει καινούριες δυνατότητες και να ανταπεξέλθει στις σύγχρονες απαιτήσεις ενός συστήματος μουσικής υψηλής ευκρίνειας [10]. Η υποστήριξή του ξεκίνησε από τα Windows XP Service Pack 3, ενώ υποστηρίζεται επίσης και από σύγχρονα MacOS, Linux και BSD λειτουργικά συστήματα [11].

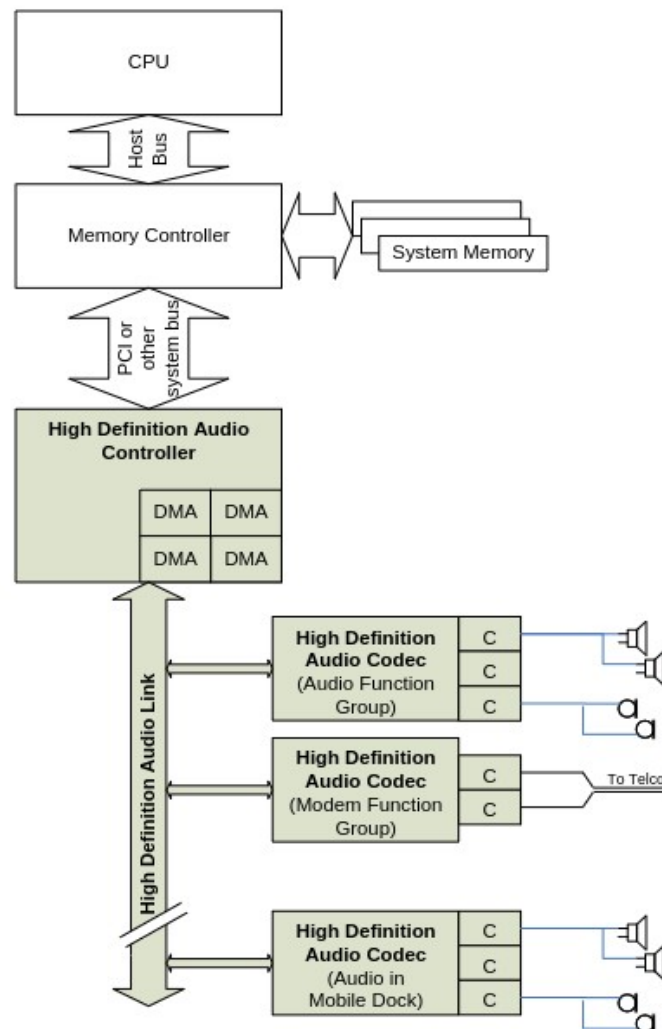
Το High Definition Audio υποστηρίζει ακόμα μεγαλύτερους ρυθμούς δειγματοληψίας και πλήθος bits ανά δείγμα με πολλαπλά κανάλια. Οι αρχικές προδιαγραφές του HDA αναφέρουν την υποστήριξη έως και 192 kHz δειγματοληψίας με 32 bits δειγμάτων σε ένα stream με 8 κανάλια ήχου [10]. Επαγγελματικοί κωδικοποιητές μπορούν να φτάσουν και ρυθμούς δειγματοληψίας των 384 kHz με 16 κανάλια. Επιπρόσθετα, είναι εφικτή και η παράλληλη αναπαραγωγή 15 stream εισόδου και άλλων 15 stream εξόδου. Η αρχιτεκτονική του HDA είναι αρκετά παρόμοια με αυτήν του AC'97. Το μουσικό σύστημα αποτελείται από ένα ή πολλαπλά codecs και έναν ελεγκτή, τον HDA Controller, που συνδέεται με τους κωδικοποιητές μέσω του HDA Link [11]. Ο ελεγκτής συνδέεται με την κεντρική μνήμη με την χρήση ενός διαύλου συστήματος. Η λειτουργία του controller και του link αναλύεται παρακάτω.

## 2.3 Το HDA Controller

Το HDA Controller είναι μια εσωτερική συσκευή E/E η οποία επικοινωνεί με την μνήμη μέσω του διαύλου PCI ή PCI-Express. Διαθέτει πολλαπλές Direct Memory Access μονάδες, που του παρέχουν την δυνατότητα να λάβει τον έλεγχο του διαύλου για να επικοινωνήσει άμεσα με την μνήμη του συστήματος, δίχως να απαιτείται μεσολάβηση από τον επεξεργαστή. Το Controller στέλνει ή λαμβάνει δεδομένα με την μορφή των audio streams, τα οποία αποτελούν μια εικονική σύνδεση της κεντρικής μνήμης με τα controllers. Κάθε DMA μονάδα του controller δεν μπορεί να μεταφέρει περισσότερα από ένα streams ταυτόχρονα [12]. Η σύνδεση των υποσυστημάτων της αρχιτεκτονικής παρουσιάζεται στην εικόνα 2.1.

Κάθε stream διαθέτει μια λεζάντα, αποκαλούμενη Stream Tag, που λειτουργεί ως το αναγνωριστικό του κατά την μετάδοσή του. Οι μεταδιδόμενες ροές αποτελούνται από ένα ή πολλαπλά κομμάτια δεδομένων, που ονομάζονται Channels. Κάθε channel αντιστοιχεί και σε ένα ηχητικό κανάλι. Προκειμένου να ληφθεί ένα ολοκληρωμένο δείγμα της ροής, θα πρέπει να παρθούν όσα δείγματα όσα και τα κανάλια ήχου. Αν ήταν για παράδειγμα να ληφθεί ένα δείγμα από μία ροή που μεταφέρει ένα στερεοφωνικό κομμάτι, θα παρατηρούταν πως το αυτό θα αποτελούταν από 2 τμήματα δεδομένων, ένα για κάθε ηχητικό κανάλι [12].

Τα streams μπορούν να είναι είτε εξόδου (output stream) είτε εισόδου (input stream). Μπορεί να θεωρηθεί πως η κύρια λειτουργία του HDA Controller, μεταξύ άλλων, είναι η ανατροφοδότηση των streams μεταξύ της κύριας μνήμης και των κωδικοποιητών του συστήματος. Στην επόμενη ενότητα περιγράφεται η λειτουργία του HDA Link, που αποτελεί την φυσική σύνδεση των codecs με τον ελεγκτή.



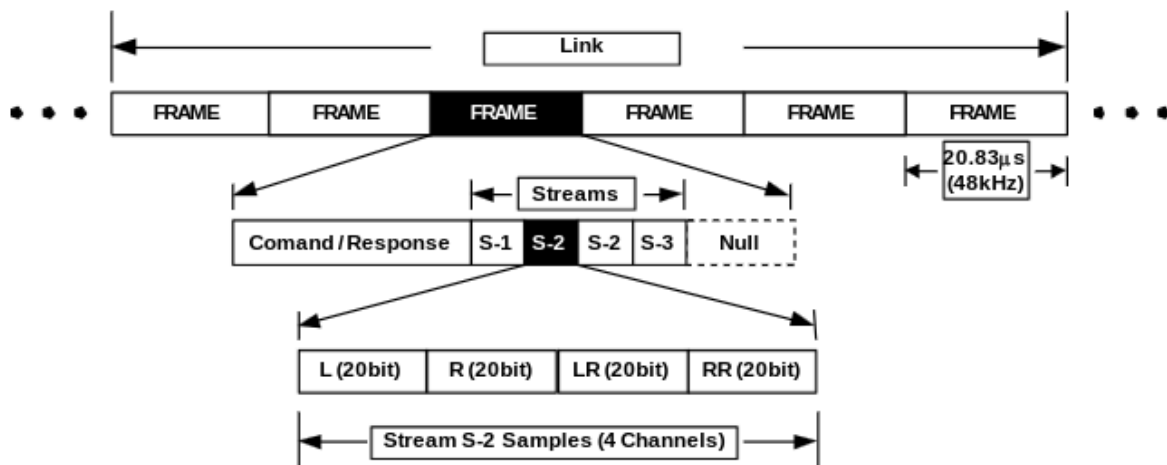
Εικόνα 2.1: Σχηματική απεικόνιση της αρχιτεκτονικής HDA και της σύνδεσης των υποσυστημάτων της [11]

## 2.4 Ο διάυλος επικοινωνίας HDA Link & δομή πλαισίων

Όπως αναφέρθηκε, το High Definition Audio Link μεταφέρει σειριακά δεδομένα μεταξύ Controller και Codecs. Εκτός από τον 24 MHz χτύπο του ρολογιού, μέσω του Link στέλνονται και άλλα σήματα, όπως το SYNC, ένα 48 kHz σήμα ρυθμιζόμενο από τον ελεγκτή που χρησιμοποιείται για να συγχρονιστούν τα streams εισόδου και εξόδου στο link, και το RST#, ένα σήμα επαναφοράς υλικού (Hardware Reset) υπεύθυνο για την επαναφορά όλων των codecs σε μια γνωστή προκαθορισμένη κατάσταση. Πολύ σημαντικά είναι επίσης τα SDO και SDI σήματα, με τα οποία γίνεται η μεταφορά των ροών από τον ελεγκτή προς του κωδικοποιητές και αντίστοιχα για η μεταφορά μιας ροής από έναν κωδικοποιητή προς το controller [7].

Κάθε SDO και SDI σήμα αποτελείται από τμήματα, αποκαλούμενα frames, όπου το κάθε frame ξεκινάει ανά περίπου 20.83μs, σε συμφωνία με την 48kHz συχνότητα του SYNC σήματος. Ένα frame περιλαμβάνει πολλαπλά streams δεδομένων. Το κάθε stream μπορεί να αποτελείται από ένα ή πολλαπλά μπλοκ δειγμάτων (block samples), ανάλογα με την συχνότητά του. Για παράδειγμα, μία ροή των 48kHz έχει ένα μπλοκ δειγμάτων ανά frame, ένα stream των 96kHz έχει δύο μπλοκ δειγμάτων ανά frame, ενώ σε μία ροή των 192kHz υπάρχουν 4 μπλοκ δειγμάτων ανά frame, εξαιτίας του 48 kHz παλμού του SYNC. Κάθε μπλοκ δειγμάτων περιλαμβάνει και πολλά επιμέρους δείγματα, ένα για κάθε κανάλι [7].

Στην εικόνα 2.2 παρουσιάζονται τα περιεχόμενα ενός frame, και ενός sample block ενός stream S2. Φαίνεται πως υπάρχουν 4 δείγματα ανά μπλοκ δειγμάτων του S2, ένα για κάθε από τα 4 κανάλια ήχου. Μπορούμε επίσης να συμπεράνουμε πως το S2 έχει συχνότητα των 96kHz, δεδομένου πως το συγκεκριμένο frame περιλαμβάνει 2 sample blocks του stream S2. Μια ενδεικτική σύνδεση όλων των σημάτων με το controller και τα codecs παρουσιάζεται στο σχήμα A.2. Υπάρχουν πολλαπλοί κωδικοποιητές, ο καθένας με διαφορετικό πλήθος SDO και SDI συνδέσεων. Με πολλαπλές SDO και SDI συνδέσεις επιτυγχάνεται γρηγορότερος ρυθμός μετάδοσης και παροχής πληροφορίας. Παρατηρήστε πως όλοι οι κωδικοποιητές συνδέονται στο ίδιο SYNC και BCLK σήμα. Τα σήματα SDO και SDI αναλύονται σε βάθος στις υποενότητες 2.4.1 και 2.4.2 [7].



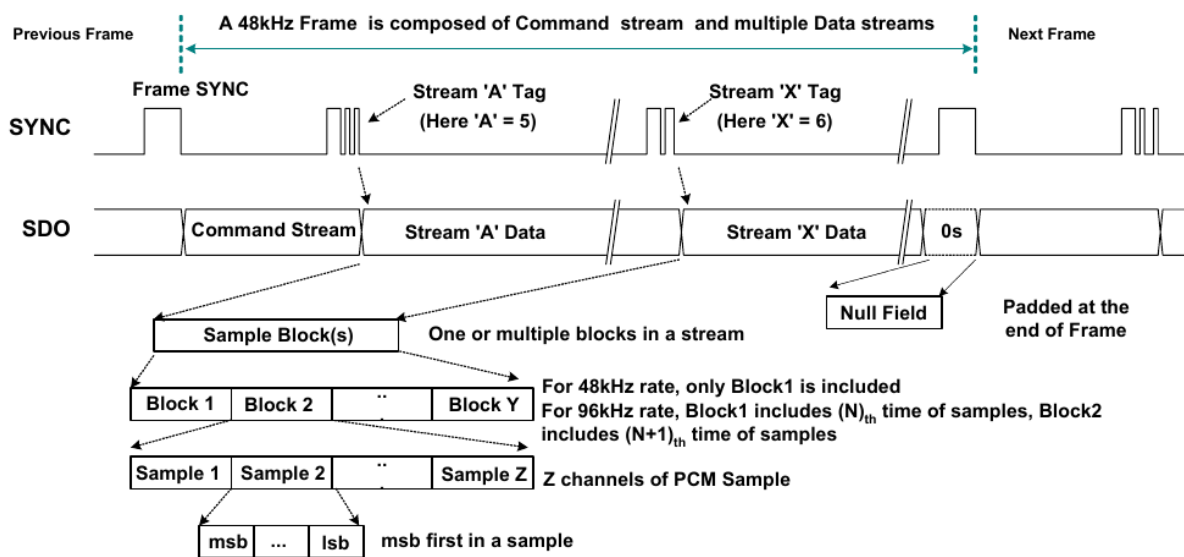
Εικόνα 2.2: Τα περιεχόμενα ενός frame [12]

#### 2.4.1 Σήματα εξόδου SDO & Outbound Frames

Το σήμα SDO σειριακά εντολές και ροές από το Controller προς όλα τα codecs του συστήματος. Τα δεδομένα δειγματοληπτούνται από τους κωδικοποιητές σε κάθε θετική και αρνητική ακμή του ρολογιού. Οι προδιαγραφές του HDA αναφέρουν πως κάθε Controller και codec πρέπει να υποστηρίζει τουλάχιστον ένα SDO σήμα. Για γρηγορότερη μεταφορά δεδομένων αρκετοί ελεγκτές και κωδικοποιητές δέχονται και πολλαπλά SDO σήματα εφόσον είναι σε πλήθος ίσα με κάποια δύναμη του δύο [7]. Τα frames των SDO σημάτων ονομάζονται Outbound Frames, όπου το καθένα αρχίζει με ένα 40bit τμήμα εντολών (Command Stream), εκ του οποίου τα πρώτα 32bit ακολουθούν το Verb/Response μοντέλο και τα υπόλοιπα 8bit είναι δεσμευμένα. Έπειτα ακολουθούν κανονικά τα streams δεδομένων. Τα Tags του κάθε stream των SDO σημάτων μεταφέρονται μέσω του SYNC σήματος και όχι του SDO.

Είναι 8bit, από τα οποία τα 4 αριστερά bits ενημερώνουν το controller πως πρόκειται να μεταδοθεί η επόμενη ροή της οποίας το αναγνωριστικό λαμβάνεται από τα υπόλοιπα 4bits του Tag [12].

Κάθε φορά που στέλνεται ένα SDO σήμα σε κάποιο codec, ελέγχεται μέσω λογισμικού εάν ο κωδικοποιητής-στόχος διαθέτει πολλαπλές SDO γραμμές. Αν κριθεί πως το codec μπορεί να δεχθεί πολλαπλά σήματα εξόδου, τότε τα δεδομένα μοιράζονται ανά bit μεταξύ των γραμμών σε μια διαδικασία που ονομάζεται bit stripping. Επειδή δεν υποστηρίζουν όλα τα codecs πολλαπλά SDO σήματα, το τμήμα εντολών μεταφέρεται πάντα σε κάθε SDO σήμα, προκειμένου να λάβουν με βεβαιότητα όλα τα codecs τα streams που τους αντιστοιχούν. Η μορφή ενός SDO σήματος παρουσιάζεται στην εικόνα 2.3 [7].



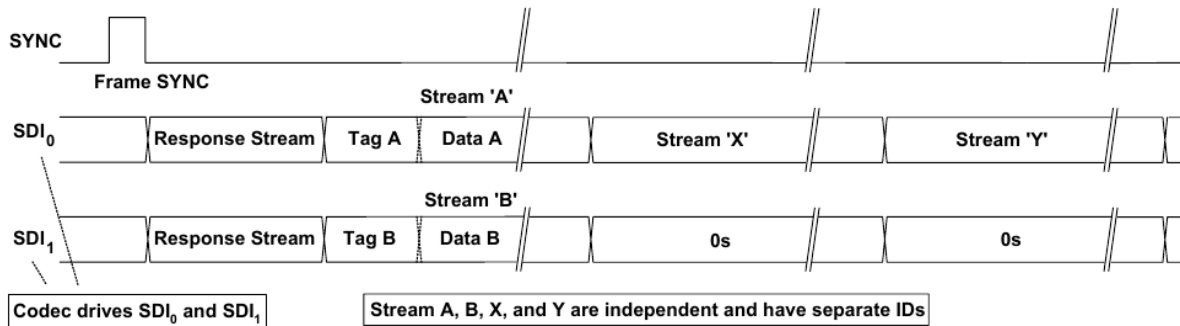
Εικόνα 2.3: Τα περιεχόμενα ενός SDO stream [7]

## 2.4.2 Σήματα εισόδου SDI & Inbound Frames

Τα SDI σήματα αποτελούν σημείο-σε-σημείο μεταφορά σειριακών δεδομένων από ένα codec προς το Controller. Τόσο το controller όσο και κάθε codec οφείλουν να υποστηρίζουν τουλάχιστον ένα SDI σήμα, το οποίο δειγματοληπτείται σε κάθε υψωμένο χτύπο ρολογιού [7]. Αντίθετα όμως με τα frames των SDO γραμμών, κάθε frame των SDI σημάτων, αποκαλούμενα Inbound Frames, αρχίζουν πάντα με μια 36bit απάντηση του κωδικοποιητή προς την εντολή που λήφθηκε. Από τα 36 bits της απάντησης, τα 32 είναι η ίδια η απάντηση και τα υπόλοιπα 4 bit είναι δεσμευμένα από το σύστημα. Τα Stream Tags μεταφέρονται στο SDI και όχι στο SYNC. Είναι σε μέγεθος 10 bits, όπου τα πρώτα τέσσερα αριστερά bits συμβολίζουν τον αριθμό του stream που πρόκειται να μεταδοθεί, και τα υπόλοιπα 6 bits εκφράζουν το μέγεθος της μεταδιδόμενης ροής. Στην συνέχεια ακολουθεί η ίδια η ροή [12].

Σε σύγκριση με τα SDO, παρόλο που μπορούν να σταλούν παράλληλα πολλαπλά SDI σήματα, αυτό συμβαίνει αποκλειστικά όταν ξεπεραστεί το μέγιστο επιτρεπτό εύρος ζώνης. Τότε, μέσω λογισμικού, η αρχική ροή θα διαιρεθεί σε πολλαπλές υπο-ροές, η καθεμία από τις οποίες θα μεταδοθεί μέσω ενός διαφορετικού SDI σήματος και θα έχει ξεχωριστό Stream Tag, διαφορετικό από αυτό του αρχικού Stream. Η συμπεριφορά αυτή είναι παρόμοια με την σύνδεση πολλών κωδικοποιητών στον ελεγκτή όπου το κάθε sub-stream αντιστοιχεί σε ένα σήμα εισόδου από κάθε codec. Αυτό έχει ως αποτέλεσμα

οι υποροές να επεξεργάζονται από διαφορετικές DMA μηχανές και να στέλνονται σε διαφορετικές θέσεις στην μνήμη. Είναι δουλειά του λογισμικού να συνδυάσει τα υποδιαμενόμενα δεδομένα των υποροών πίσω σε ένα λειτουργικό stream. Η μετάδοση πολλαπλών SDI σημάτων παρουσιάζεται στην εικόνα 2.4, όπου φαίνεται ο διαμοιρασμός ενός αρχικού stream, σε sub-stream A και B αντίστοιχα [7].



Εικόνα 2.4: Ένα σήμα εισόδου, χωριζόμενο σε δύο substreams, που μεταδίδεται από δύο SDI γραμμές [7].

## 2.5 Υποστήριξη πολλαπλών ρυθμών δειγματοληψίας από το HDA Link

Το HDA Link είναι σχεδιασμένο για την μετάδοση streams των 48kHz, που είναι η συχνότητα του SYNC σήματος. Υπενθυμίζεται πως τα SDO και SDI σήματα δειγματοληπτούνται ανά 48MHz και 24MHz αντίστοιχα. Η συχνότητα δειγματοληψίας των ροών παραμένει πάντα σταθερή, ανεξαρτήτως της ίδιας της ροής. Η μεταφορά streams μέσω του Link με συχνότητες διαφορετικές του SYNC επιτυγχάνεται μεταβάλλοντας το πλήθος των sample blocks ενός stream, ανά frame σήματος. Υπάρχουν δύο συχνότητες βάσης, με τις οποίες διαφοροποιούνται οι ροές. Τα 44.1 kHz και 48 kHz. Για ροές με συχνότητα που είναι ακέραια πολλαπλάσια των 48 kHz, κάθε frame θα περιέχει πολλαπλά sample blocks ανά stream. Παρομοίως, για ροές με συχνότητα ακέραια υποπολλαπλάσια των 48kHz, ένα sample block θα διαμοιραστεί σε πολλά frames. Έστω, για παράδειγμα, ένα 96 kHz stream A και ένα δεύτερο 24 kHz stream B. Για την ροή A μπορούν να μεταδοθούν δύο block δειγμάτων σε ένα frame, ενώ για την ροή B απαιτούνται δύο frames για την αποστολή ενός block δειγμάτων [7].

Για streams με συχνότητα τα 44.1kHz, πρέπει να τηρείται κάποια αναλογία προκειμένου να αποφευχθεί η απώλεια δεδομένων. Για αυτόν τον λόγο, τα δεδομένα στέλνονται με μια ακολουθία 12-11-11-12-11-11-12-11-11-12-11-11-11, στην οποία το 12 συμβολίζει 12 frames, όπου το καθένα περιέχει ένα sample block, το 11 συμβολίζει 11 frames του ενός sample block και τέλος η παύλα '-' σηματοδοτεί την έλλειψη blocks για ένα frame. Προκύπτει πως από τα συνολικά 160 frames της ακολουθίας, τα 13 από αυτά είναι κενά και δεν περιέχουν δείγματα. Δηλαδή, για streams των 44.1kHz, τα περιεχόμενά τους αποστέλλονται με μία αναλογία των 147 blocks ανά 160 frames. Για συχνότητες υποπολλαπλάσια της βάσης των 44.1kHz τα δεδομένα μεταφέρονται με την ίδια ακολουθία, αλλά με περισσότερα κενά frames ενδιάμεσα. Αντιστοίχως, για συχνότητες πολλαπλάσιες της βάσης κάθε frame θα αποτελείται και από περισσότερα blocks δειγμάτων, διατηρώντας ένα κενό frame μεταξύ τους. Στον πίνακα A.2 παρουσιάζονται οι συνηθισμένες συχνότητες βάσης των 48 kHz και 44.1 kHz ενώ στον πίνακα A.3 περιγράφονται οι αναλογίες των blocks ανά frame, για streams με βάση τα 44.1 kHz.

## Κεφάλαιο 3ο: Δομές δεδομένων & διαχείριση μνήμης για την υποστήριξη streams

### 3.1 Εισαγωγή

Για τις ανάγκες του HDA πρωτοκόλλου και για την μεταφορά δεδομένων μεταξύ του ελεγκτή και του υπόλοιπου συστήματος, δεσμεύονται στην μνήμη αρκετές θέσεις για την αποθήκευση των streams. Δημιουργούνται επίσης στην μνήμη και ειδικές δομές δεδομένων, στις καταχωρούνται σημαντικές πληροφορίες σχετιζόμενες με τα streams, όπως την φυσική θέση που βρίσκεται μία ροή στην μνήμη ή τις εντολές που πρέπει να σταλούν στο controller [12]. Αυτές οι δομές αναλύονται με περισσότερη λεπτομέρεια παρακάτω. Σημειώνεται πως για την συγγραφή αυτού του κεφαλαίου χρησιμοποιήθηκε αποκλειστικά η επίσημη προδιαγραφή της Intel για την HDA αρχιτεκτονική [12], εκτός και εάν σημειώνεται διαφορετικά.

### 3.2 Δομές δεδομένων στην μνήμη για υποστήριξη streams

#### 3.2.1 Buffer Descriptor List

Για την αποθήκευση ενός stream, δεσμεύονται στην κύρια μνήμη πολλαπλές θέσεις, αποκαλούμενες Stream Buffers. Το σύνολο αυτών των θέσεων μνήμης απαρτίζουν έναν μεγάλο κυκλικό buffer, αναφερόμενο ως Ring Buffer. Το Buffer Descriptor List (BDL) είναι μία ειδική δομή που δημιουργείται στην μνήμη του συστήματος για να περιγράψει τον ολικό κυκλικό buffer μίας συγκεκριμένης ροής. Το μέγεθος του πίνακα, ή αντίστοιχα το πλήθος μνήμης που θα δεσμευτεί για το BDL διαβάζεται και εγγράφεται στον καταχωρητή Stream Descriptor (SdnCBL) του ελεγκτή, όπου  $n$  ο αριθμός της ροής. Αξίζει να σημειωθεί πως σε κάθε stream αντιστοιχεί και ένα μοναδικό BDL.

Ένα BDL αποτελείται από 2 έως 256 καταχωρήσεις, όπου κάθε καταχώρηση ονομάζεται Buffer Descriptor List Entry (BDLE) και περιγράφει ένα από τα τμήματα μνήμης που απαρτίζουν το συνολικό Ring Buffer μίας ροής. Τα υψηλότερα 64 bit δείχνουν την φυσική διεύθυνση του τμήματος στην μνήμη και τα επόμενα 32 bit παρέχουν το συνολικό του μέγεθος. Στην συνέχεια ακολουθούν 32 bits ελέγχου, από τα οποία το πρώτο bit είναι το Interrupt on Completion, που λαμβάνει 1 όταν ένα buffer ολοκληρωθεί και στέλνεται διακοπή. Τα υπόλοιπα 31 bit είναι δεσμευμένα από το σύστημα. Η φυσική 32 bits ή 64 bits (εάν αυτή υποστηρίζεται) διεύθυνση στην κύρια μνήμη ενός BDL πίνακα εγγράφεται από το σύστημα στους καταχωρητές του controller, Stream Descriptor Pointer Lower/Upper Base Address (SDnBDPL/SDnBDPU).

#### 3.2.2 DMA Position in Current Buffer

Για την απόσταση, ή την μετατόπιση του stream από την αρχή του buffer, χρησιμοποιείται ο πίνακας DMA Position in Current Buffer (DPIB). Σε αντίθεση με τις BDL δομές, υπάρχει μόνο μία DPIB δομή και είναι κοινή για όλες τις ροές. Κάθε stream διαθέτει μία καταχώρηση στον πίνακα, η οποία διαβάζεται από το σύστημα για να ανακτηθεί το offset μέχρι το οποίο έχουν αποθηκευτεί ή σταλεί δεδομένα, εντός του buffer. Όταν το buffer γεμίσει, το stream θα προχωρήσει στην επόμενη περιοχή μνήμης και το offset θα επαναφερθεί, ξεκινώντας την μέτρησή του από το μηδέν. Η φυσική διεύθυνση του επόμενου τμήματος μνήμης εντοπίζεται από το BDL της ίδιας της ροής ενώ η διεύθυνση της δομής

στην μνήμη παρέχεται από τους καταχωρητές του controller με όνομα DPLBASE και DPUBASE (DMA Position Lower/Higher Base Address).

### 3.2.3 Command Output Ring Buffer & Response Input Ring Buffer

Το Command Output Ring Buffer (CORB) και Response Input Ring Buffer (RIRB) αποτελούν ειδικές δομές που δημιουργούνται στην μνήμη στις οποίες αποθηκεύονται αντίστοιχα οι εντολές που πρέπει να σταλούν στα codec και οι απαντήσεις που λαμβάνουν από αυτά. Οι εκπεμπόμενες εντολές έχουν μήκος 32bit, όπου τα πρώτα 4 bit δείχνουν την διεύθυνση του κωδικοποιητή, τα επόμενα 8 bits είναι το Node ID και τα τελευταία 20 bits είναι το μήνυμα του συστήματος. Οι απαντήσεις των codecs είναι επίσης 32 bit σε μέγεθος και κατηγοριοποιούνται σε αιτηθείσες (solicited), που και τα 32bit είναι η ίδια η απάντηση και μη-αιτηθείσες (unsolicited). Οι μη-ζητηθείσες απαρτίζονται από 6 bits για το Tag, της υπομονάδας του κωδικοποιητή από όπου στάλθηκε η απάντηση, 5 bits για το Subtag που χαρακτηρίζουν τον τύπο της απάντησης (πχ σύνδεση ακουστικών) και 21 bits που παρέχουν στο σύστημα γενικές πληροφορίες του codec που ενδέχεται να βοηθήσουν στην αντιμετώπιση του προβλήματος. Αξίζει να σημειωθεί πως το Controller και το Link δεν βλέπουν τις εντολές και τις απαντήσεις που στέλνονται. Αυτές είναι ορατές μόνο από τους κωδικοποιητές και το σύστημα. Αυτές οι δύο δομές αναλύονται περισσότερο παρακάτω.

### 3.3 Οι θεμελιώδεις καταχωρητές του HDA Controller

Ένα HDA Controller διαθέτει πολλαπλούς καταχωρητές, οι οποίοι χρησιμοποιούνται από την αποθήκευση των προδιαγραφών του ελεγκτή, όπως το μέγιστο υποστηριζόμενο πλήθος ροών εξόδου/εισόδου, έως τον έλεγχο του Controller από το σύστημα και την επιτυχή επικοινωνία του ελεγκτή με την μνήμη, αποθηκεύοντας τις φυσικές διευθύνσεις των δομών που αναφέρθηκαν παραπάνω. Από τους καταχωρητές που χρησιμοποιούνται για τον γενικό έλεγχο και διαχείριση του controller, ξεχωρίζουν ορισμένοι που παρουσιάζονται παρακάτω.

Ο GCAP, ή αλλιώς ο Global Capabilities είναι ένας 2 byte καταχωρητής ανάγνωσης. Περιλαμβάνει και παρέχει στο σύστημα τις γενικές πληροφορίες και δυνατότητες του HDA Controller, συμπεριλαμβανομένου του μέγιστου υποστηριζόμενου πλήθους γραμμών εισόδου/εξόδου SDO και SDI αντίστοιχα, το μέγιστο αριθμό διαφορετικών streams μέσα σε ένα frame καθώς και την υποστήριξη 64 bit διευθυνσιοποίησης.

Ο Global Control (GCTL) είναι ένας κρίσιμος καταχωρητής των 4 bytes που διαβάζεται και εγγράφεται από το σύστημα για τον έλεγχο του controller. Αποτελείται από 3 πεδία, το UNSOL, το CRST και το FCNTRL. Το πεδίο UNSOL (Accept Unsolicited Response Enable) καθορίζει εάν οι μη-αιτούμενες απαντήσεις των codecs θα γίνουν αποδεκτές και θα σταλούν στο σύστημα, ή αν θα αγνοηθούν. Το πεδίο CRST (Control Reset) είναι πολύ σημαντικό στην λειτουργία του ελεγκτή, αφού χρησιμοποιείται για την επαναφορά του σε μία αδρανή κατάσταση ή την επανέναρξη λειτουργίας του. Αυτή η διαδικασία περιγράφεται αναλυτικότερα παρακάτω.

Όταν ο ελεγκτής συνδεθεί στο ρεύμα για πρώτη φορά, το CRST bit θα έχει τιμή 0, υποδεικνύοντας πως βρίσκεται σε κατάσταση αναμονής, ή αλλιώς RESET. Οποιοσδήποτε εγγραφές σε RW καταχωρητές απλά θα αγνοηθούν. Όταν το σύστημα γράψει 1 στο CRST, το controller θα ξεκινήσει τις διαδικασίες εκκίνησης λειτουργίας. Με την ενεργοποίηση του ελεγκτή, θα τεθεί σε λειτουργία και το Link. Τα Codecs θα αντιδράσουν στο RESET# σήμα στέλνοντας μέσω των SDI γραμμών αίτηση διευθυνσιοποίησης από το controller. Ο ελεγκτής στην συνέχεια θα ανιχνεύσει τα σήματα των

κωδικοποιητών στις SDATA\_IN γραμμές του, και θα γράψει ανάλογα στις τιμές του 2 byte καταχωρητή State Change Status (STATESTS), σημειώνοντας έτσι τα codecs που άλλαξε η κατάστασή τους και ενεργοποιήθηκαν με επιτυχία. Για παράδειγμα, η τιμή 05h στον STATESTS καταχωρητή σημαίνει πως ενεργοποιήθηκαν οι ελεγκτές με διευθύνσεις 0 και 2. Όταν τα codecs λάβουν μια διευθύνση, ο ελεγκτής βρίσκεται σε θέση να λάβει και να στείλει εντολές στην μνήμη.

Υπάρχει επίσης και μια πληθώρα καταχωρητών άμεσα σχετιζόμενες με την μεταφορά των stream μεταξύ μνήμης και κωδικοποιητών. Για παράδειγμα, ο SDnLPIB ή αλλιώς Link Position in Buffer είναι ένας 32 bits καταχωρητής ανάγνωσης που περιέχει το πλήθος δεδομένων (σε bytes) της ν-οστής ροής που έχουν εγγραφεί ή διαβαστεί από το link και έχουν μεταφερθεί στον κυκλικό buffer. Παρόλο που είναι παρόμοιες έννοιες, ο SDnLPIB διαφέρει με τον DPIB πίνακα, αφού σε μία καταχώρηση του DPIB εγγράφεται η DMA θέση μνήμης των δεδομένων του stream, ενώ ο LPIB υποδηλώνει πλήθος byte που μεταφέρθηκαν. Ο Stream Descriptor Control, ή αλλιώς SDnCTL υποδηλώνει το tag του stream που μεταφέρεται στο Link. Για σήματα εξόδου, τότε απλά θα φορτώνεται στον καταχωρητή το tag της ροής που εκπέμπεται. Ωστόσο για σήματα εισόδου, συγκρίνεται η τιμή του CTL με το tag του λαμβανόμενου stream και εαν ταυτίζονται, στέλνεται η ροή στον κατάλληλο buffer. Τέλος, αξίζει να αναφερθεί και ο καταχωρητής Stream Descriptor n Status, ή σε συντομογραφία SDnSTS, μήκους ενός byte. Σχεδόν κάθε διαφορετικό bit του STS έχει διαφορετική λειτουργία. Τα πεδία του καταχωρητή αλλάζουν τιμή όταν προκύψει κάποιο σφάλμα στην διάρκεια ανάγνωσης ή εγγραφής στην μνήμη ή πως ο buffer δεν έχει αρκετό ελεύθερο χώρο για να αποθηκεύσει τα δεδομένα.

### 3.4 Η λειτουργία του CORB: Αποστολή εντολών

Όπως αναφέρθηκε και παραπάνω, το CORB είναι ένας κυκλικός buffer που βρίσκεται στην κεντρική μνήμη, υπεύθυνος για να αποθηκεύει και να στέλνει τις εντολές του συστήματος στα codecs. Το μέγεθός του, που καθορίζεται από τον CORB Size καταχωρητή (CORBSIZE), μπορεί να είναι 8 bytes (2 καταχωρήσεις), 64 bytes (16 καταχωρήσεις) ή και 1 KB (256 καταχωρήσεις). Η προσπέλαση του CORB από τον ελεγκτή γίνεται με την χρήση των DMA μηχανών του. Στον πίνακα 3.1, παρουσιάζονται οι βασικότεροι καταχωρητές του controller που σχετίζονται άμεσα με την λειτουργία του CORB.

Το controller διαθέτει δύο πολύ κρίσιμους δείκτες (pointers), τον Δείκτη Εγγραφής (Write Pointer ή WP) και τον Δείκτη Ανάγνωσης (Read Pointer ή RP). Ο Δείκτης Εγγραφής δείχνει στην τελευταία εντολή που εγγράφηκε από τον υπολογιστή στο CORB, ενώ ο Δείκτης Ανάγνωσης δείχνει στην τελευταία εντολή που στάλθηκε στον ελεγκτή. Και οι δύο pointers μετράνε το offset εντός του buffer σε εντολές, όχι bytes. Επομένως, δεδομένου πως μία εντολή είναι 4 bytes σε μέγεθος, για τον υπολογισμό της θέσης της που θα καταχωρηθεί η επόμενη εντολή, χρησιμοποιείται η σχέση 3.1.

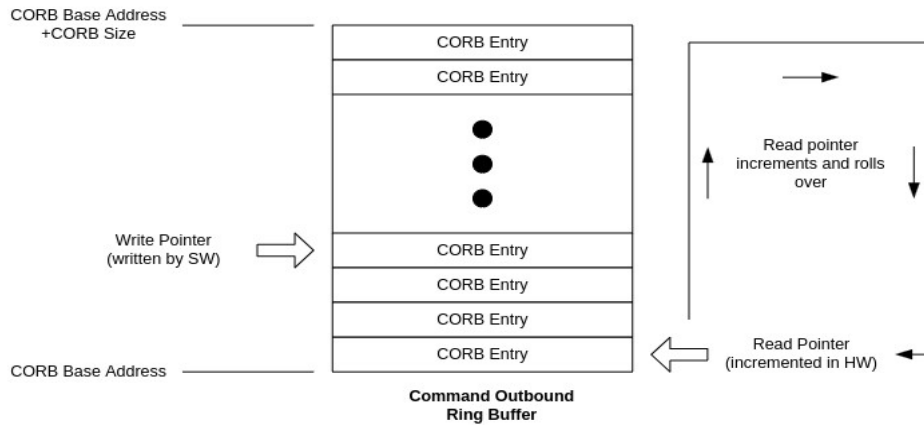
(3.1)

$$\text{offset} = (\text{WP} + 1) * (4 \text{ bytes})$$

Όταν το CORBRUN Bit του CORBCTL καταχωρητή λάβει τιμή ένα, ο ελεγκτής θα ξεκινήσει την σύγκριση του δείκτη εγγραφής με τον δείκτη ανάγνωσης. Εάν δεν είναι ίσοι, τότε η τιμή του RP θα αυξηθεί κατά ένα, και το controller θα στείλει μέσω του link την εντολή στην θέση  $\text{RP} * 4$ , προκειμένου να διαβαστεί από όλους τους κωδικοποιητές. Η σύγκριση αυτή συνεχίζεται έως ότου οι δείκτες να γίνουν ίσοι, όπου τότε θα έχουν σταλεί και όλες οι εντολές. Αυτή η διαδικασία παρουσιάζεται στην εικόνα 3.1.

Όνομασία Καταχωρητή	Μήκος (bytes)	Τύπος	Συνοπτική Περιγραφή
CORBLBASE	4	RW	Ο CORB Lower Base Address δείχνει τα χαμηλά 32 bits του CORB στην κεντρική μνήμη
CORBUBASE	4	RW/RO	Ο CORB Upper Base Address δείχνει τα υψηλά 32 bits του CORB στην κεντρική μνήμη εάν υποστηρίζεται η 64 bit διευθυνσιοποίηση από τον ελεγκτή. Αλλιώς ο καταχωρητής είναι RO.
CORBWP	2	RW	Ο καταχωρητής CORB Write Pointer αναφέρεται στην θέση (offset) της τελευταίας εντολής που γράφτηκε από το σύστημα στο CORB.
CORBRP	2	RO	Αντίστοιχα με τον CORBWP, ο CORB Read Pointer αναφέρεται στην θέση της τελευταίας εντολής που στάλθηκε στα codecs. Το τελευταίο bit είναι εγγράψιμο από το σύστημα και χρησιμοποιείται για να επαναφέρει τον CORBRP στο 0 και να διαγράψει υπολειπόμενες εντολές.
CORBCTL	1	RW	Ο CORB Control καταχωρητής διαβάζεται από την μνήμη για τον χειρισμό του ελεγκτή. Το bit 1 του καταχωρητή ονομάζεται CORBRUN (Enable CORB DMA Engine) του οποίου η τιμή ενεργοποιεί ή απενεργοποιεί τις DMA μηχανές του ελεγκτή.
CORBSIZE	1	RO	Οι τιμές του CORB Size καταχωρητή καθορίζουν το μέγεθος του CORB στην μνήμη, ή αλλιώς τότε το offset εντός του CORB θα επαναφερθεί στο 0. Αποδεκτές τιμές του μεγέθους του CORB είναι 2, 64 και 256 καταχωρήσεις. Κάθε καταχώρηση έχει μήκος 32 bits (όσο και οι εντολές που στέλνονται).

Πίνακας 3.1: Καταχωρητές που χρησιμοποιούνται από το CORB [11]



Εικόνα 3.1: Εγγραφή και ανάγνωση εντολών από το CORB [11]

### 3.5 Η λειτουργία του RIRB: Λήψη απαντήσεων

Το RIRB είναι ένας ακόμη κυκλικός buffer που βρίσκεται στην κεντρική μνήμη, όπου αποθηκεύονται οι απαντήσεις των codecs, τόσο οι αιτούμενες (Solicited) όσο και οι μη-αιτούμενες (unsolicited). Το μέγεθος που δεσμεύεται για το RIRB καθορίζεται από την τιμή του RIRBSIZE καταχωρητή, και μπορεί να είναι 16 Bytes, 128 Bytes ή 2KB. Ωστόσο, εκτός από την 32 bit απάντηση ενός κωδικοποιητή, ο ελεγκτής προσθέτει και άλλα 32 bits πληροφορίας, στέλνοντας συνολικά μία 64 bit απάντηση, όπως τον αριθμό του codec που έστειλε την απάντηση και αν αυτή ήταν αιτούμενη ή μη-αιτούμενη. Επομένως, αφού μια καταχώρηση στον πίνακα είναι 8 bytes, το RIRB μπορεί να αποθηκεύσει 2, 16 ή 256 απαντήσεις. Η αρχή της δεσμευμένης θέσης για το RIRB στην μνήμη εγγράφεται από το σύστημα στον RIRLBASE καταχωρητή.

Το RIRB διαθέτει και αυτό δείκτες ανάγνωσης και εγγραφής, όπου αντίστοιχα δείχνουν στην τελευταία απάντηση που διαβάστηκε από το σύστημα και την τελευταία απάντηση που στάλθηκε και γράφτηκε στην μνήμη. Σε αντίθεση όμως με τον CORB, ο δείκτης ανάγνωσης δεν έχει φυσική υπόσταση, όπως έχει ο δείκτης εγγραφής με τον καταχωρητή RIRBWP. Η τιμή του RP, για τον υπολογισμό του offset της επόμενης απάντησης προς ανάγνωση, διαχειρίζεται αποκλειστικά από το λογισμικό. Το controller γράφει τυφλά την απάντηση στον πίνακα στην θέση που υπολογίζεται από την σχέση 3.2, ενώ το σύστημα είναι υπεύθυνο για τον διαχωρισμό των απαντήσεων βάση του κωδικοποιητή προέλευσης και του τύπου της απάντησης.

(3.2)

$$\text{offset} = (\text{WP} + 1) * (8 \text{ bytes})$$

Για να εγγραφεί μια απάντηση στο RIRB, ελέγχεται πρώτα εάν το σύστημα είναι έτοιμο να λάβει μία απάντηση, διαβάζοντας το RUN bit του καταχωρητή RIRBCTL. Εάν το bit είναι ένα, τότε το σύστημα βρίσκεται σε κατάσταση ετοιμότητας, αυξάνεται ο WP κατά ένα, και η απάντηση αποθηκεύεται σε offset ίσο με  $\text{WP} * 8$ . Ο υπολογιστής θα διαβάσει τις αποθηκευμένες απαντήσεις όταν το controller στείλει διακοπή, έπειτα από την αποστολή ενός καθορισμένου πλήθους απαντήσεων, ή συγκρίνοντας την τιμή του WP με το RP.

### 3.6 Διαχείριση και εκκίνηση ενός stream

Ένα stream ορίζεται ως μια λογική σύνδεση μεταξύ ενός ή πολλών codec και πολλών buffer στην κύρια μνήμη. Η μεταφορά των δεδομένων επιτυγχάνεται με την χρήση μίας DMA μηχανής που είναι άμεσα συνδεδεμένη με τον Link, επιτρέποντας έτσι την επικοινωνία της μνήμης με τους κωδικοποιητές. Το λογισμικό είναι αποκλειστικά υπεύθυνο για την διαχείριση των ροών και των πληροφοριών που σχετίζονται με αυτές, όπως το μέγεθος ενός δείγματος, τον ρυθμό δειγματοληψίας και το codec προέλευσης.

Αναφέρθηκε στο κεφάλαιο 2.3, πως ένα δείγμα αποτελεί και ένα ηχητικό κανάλι του stream. Κάθε δείγμα της ροής ενθυλακώνεται σε ένα container, μεγέθους 8 bits, 16 bits ή 32 bits. Ας υποθέσουμε ένα 24 bit stream με 3 κανάλια ήχου, στα 96kHz. Κάθε δείγμα αυτού του stream για οποιοδήποτε κανάλι θα αποτελείται από 24 bits, επομένως θα μεταφερθεί ως ένα πακέτο των 32 bits. Άρα, δεδομένων των 3 καναλιών, ένα sample block θα αποτελείται από 3 διαφορετικά containers των 32 bits. Το συνολικό μέγεθος του block μπορεί να υπολογιστεί από την σχέση 3.3. Για την συγκεκριμένη ροή, ένα block θα έχει μήκος  $3 * 32 = 96$  bits. Είναι επίσης γνωστό πως θα υπάρχουν δύο sample blocks ανά frame. επειδή η ροή του παραδείγματος έχει ρυθμό δειγματοληψίας 96 kHz, διπλάσιος από των 48 kHz του Link. Άρα το σύνολο των μπλοκ δειγμάτων της ροής, ή αλλιώς γνωστό ως ένα πακέτο, θα έχει μήκος  $2 * 96 = 192$  bits.

(3.3)

$$\text{block size} = \text{container size} * (\text{no. Channels})$$

Για την εκκίνηση ενός stream, αφού πρώτα ελεγχθούν και προσδιοριστούν από το σύστημα οι βασικές παράμετροί του, δημιουργούνται πολλά buffers στην κεντρική μνήμη για να αποθηκευτεί η ροή. Κάθε buffer αποτελείται από τουλάχιστον ένα δείγμα του stream. Παρόλα αυτά, τα blocks του stream χωρίζονται και μοιράζονται τυχαία στα διαθέσιμα buffers. Για βέλτιστη απόδοση, κάθε buffer οφείλει να έχει μέγεθος ακέραιο πολλαπλάσιο του 128 και να περιλαμβάνει τουλάχιστον ένα πακέτο. Το σύνολο των buffers στους οποίους αποθηκεύεται το stream αποτελεί ένα μεγάλο κυκλικό buffer, αποκαλούμενο data buffer. Το μέγεθός του εγγράφεται στον SDnCBL, όπου n ο αριθμός του stream. Στην συνέχεια δημιουργείται και ο BDL πίνακας, για να περιγράψει όλα τα buffers της ροής. Υπενθυμίζεται πως κάθε καταχώρηση του BDL περιλαμβάνει τις βασικές πληροφορίες ενός buffer, κυρίως το μέγεθός του, την φυσική διεύθυνσή του και αν θα πρέπει ο ελεγκτής να δημιουργήσει διακοπή όταν ολοκληρωθεί η μεταφορά του stream.

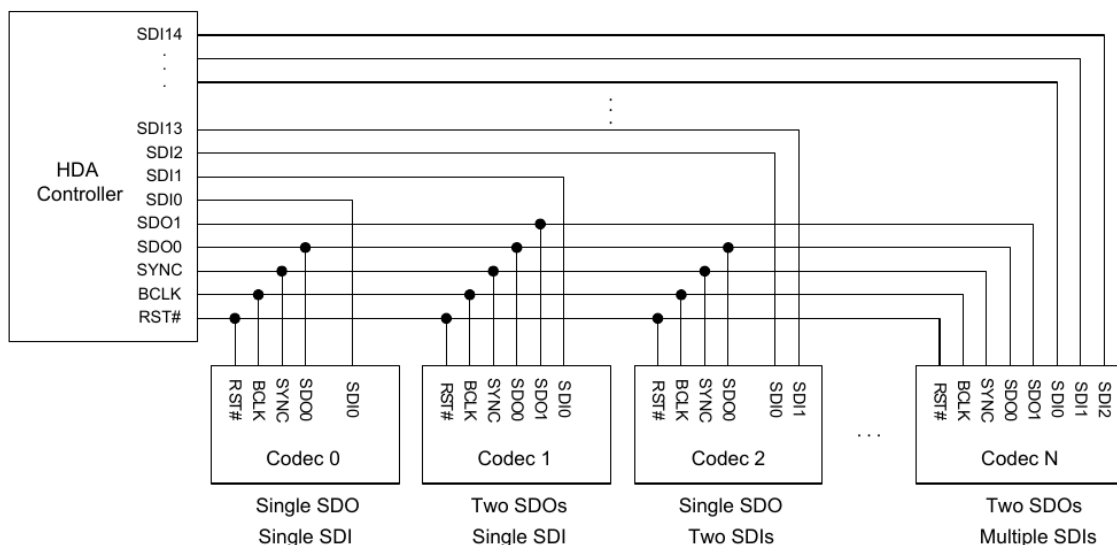
## ΒΙΒΛΙΟΓΡΑΦΙΑ

- [1] K. C. Pohlmann, Principles of Digital Audio. McGraw-Hill Companies, 1995.
- [2] A. V. Oppenheim, A. Willsky (επιμ. Ε. Δενδινού), Σήματα & Συστήματα (2η έκδοση), FountasBooks, 2012
- [3] B. Sklar (επιμ. Ν. Μήτρου), Ψηφιακές Επικοινωνίες (2η έκδοση), Α. Παπασωτηρίου & ΣΙΑ ΙΚΕ, 2012
- [4] “What is Pulse Code Modulation (PCM)? Definition, Block diagram, Advantages and Disadvantages of PCM system,” Electronics Coach, Oct. 09, 2018. <https://electronicscoach.com/pulse-code-modulation.html>
- [5] “codec,” Oxford Reference, 2026. <https://www.oxfordreference.com/display/10.1093/oi/authority.20110803095621364> (accessed May 10, 2026).
- [6] “Audio codec,” *Wikipedia*, Dec. 26, 2020. [https://en.wikipedia.org/wiki/Audio\\_codec](https://en.wikipedia.org/wiki/Audio_codec)
- [7] Realtek, “7.1+2 HD Audio Codec With Content Protection”, ALC892 datasheet, Mar. 2011
- [8] Wikipedia Contributors, “AC’97,” *Wikipedia*, May 07, 2026.
- [9] Intel, “Audio Codec ‘97”, Revision 2.3, Apr 2002
- [10] Intel Corporation, "Intel® High Definition Audio: Integrated Audio for Today and Tomorrow," Sales Brief, 2004. [Online]. Available: <https://web.archive.org/web/20120907001734/http://www.intel.com/assets/pdf/general/hdaudio.pdf> (Accessed: May 10, 2026).
- [11] Wikipedia Contributors, “Intel High Definition Audio,” *Wikipedia*, May 05, 2026.
- [12] Intel, “High Definition Audio Specification”, Revision 1.0a, Jun. 2010.

## ΠΑΡΑΡΤΗΜΑ

Στοιχείο	Περιγραφή
Πλήθος DAC	10
Πλήθος ADC	2
Υποστηριζόμενοι Ρυθμοί Δειγματοληψίας (S/PDIF IN-OUT, DAC, ADC)	44.1kHz, 48kHz, 96kHz, 192kHz
Υποστηριζόμενο πλήθος bits ανά δείγμα (S/PDIF IN-OUT, DAC, ADC)	16, 20, 24
Μέγιστο Πλήθος Καναλιών (DAC)	7.1
Πλήθος στερεοφωνικών αναλογικών εισόδων/εξόδων	3, από τους οποίους οι 2 διαθέτουν ενισχυτές ακουστικών
Πλήθος αναλογικών εισόδων/εξόδων μικροφώνων	4 μονοφωνικά ή 2 στερεοφωνικά
Πλήθος surround sound αναλογικών εισόδων/εξόδων	1
Πλήθος ψηφιακών εισόδων (S/PDIF)	2
Πλήθος ψηφιακών εξόδων (S/PDIF)	1

Πίνακας Α.1: Τα βασικά χαρακτηριστικά του ALC892



Εικόνα Α.1: Συνδεσμολογία πολλών codecs με το controller

